

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-236898

(43)Date of publication of application : 23.08.1994

(51)Int.Cl.

H01L 21/338

H01L 29/812

(21)Application number : 05-004473

(71)Applicant : NEC CORP

(22)Date of filing : 14.01.1993

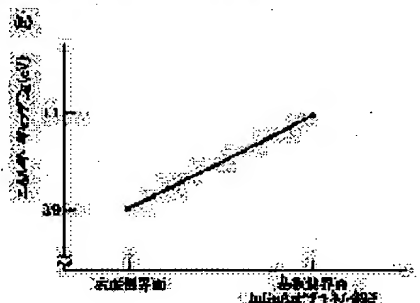
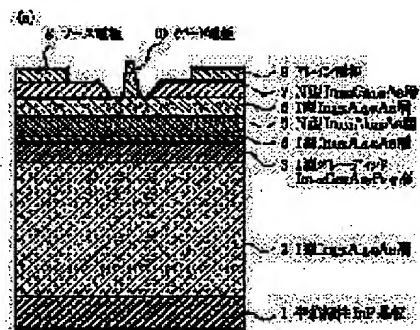
(72)Inventor : ONDA KAZUHIKO  
KUZUHARA MASAOKI

## (54) FIELD-EFFECT TRANSISTOR

## (57)Abstract:

**PURPOSE:** To enhance two-dimensional electron gas in electron density so as to make an electric field-effect transistor less deteriorated in dielectric strength due to ionization by collision when an electric field of high potential is applied by a method wherein electrons in an InGaAsP channel layer are made to move in a region small in energy gap in a low electric field, and hot electrons are made to move in a region large in energy gap.

**CONSTITUTION:** An I-type In<sub>0.52</sub>Al<sub>0.48</sub>As buffer layer 2, an In<sub>1-x</sub>Ga<sub>x</sub>As<sub>y</sub>P<sub>1-y</sub> channel layer 3, an In<sub>0.52</sub>Al<sub>0.48</sub>As spacer layer 4, an N-type In<sub>0.52</sub>Al<sub>0.48</sub>As electron feed layer 5, an I-type In<sub>0.52</sub>Al<sub>0.48</sub>As Schottky layer 6, and an N-type In<sub>0.53</sub>Ga<sub>0.47</sub>As cap layer 7 are made to grow on a semi-insulating InP substrate 1. Furthermore, a source electrode 8 and a drain electrode 9 are formed sandwiching a gate electrode 10 located in a recessed region between them. The I-type InGaAsP channel layer 3 is of graded structure which increases monotonously in energy gap E<sub>g</sub> from 0.9eV to 1.1eV starting at its front side towards its other side close to the substrate 1.



## LEGAL STATUS

[Date of request for examination] 14.01.1993

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2091214

[Date of registration] 18.09.1996

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-236898

(43) 公開日 平成6年(1994)8月23日

(51) Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H01L 21/338

29/812

7376-4M

H01L 29/80

H

審査請求

有

請求項の数5

OL

(全7頁)

(21) 出願番号

特願平5-4473

(22) 出願日

平成5年(1993)1月14日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 恩田 和彦

東京都港区芝五丁目7番1号日本電気株式会社内

(72) 発明者 葛原 正明

東京都港区芝五丁目7番1号日本電気株式会社内

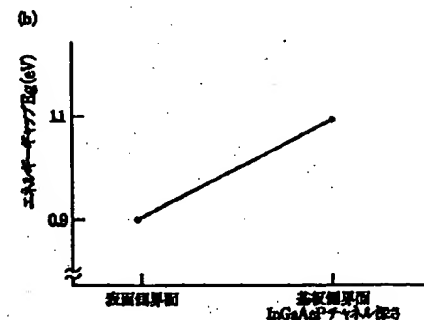
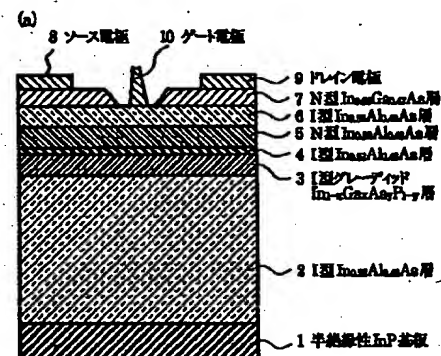
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 電界効果トランジスタ

(57) 【要約】

【構成】半絶縁性InP基板1にI型In<sub>0.52</sub>Al<sub>0.48</sub>Asパッファ層2、I型In<sub>1-x</sub>Ga<sub>x</sub>As<sub>y</sub>P<sub>1-y</sub>チャンネル層3、In<sub>0.52</sub>Al<sub>0.48</sub>Asスペーサ層4、N型In<sub>0.52</sub>Al<sub>0.48</sub>As電子供給層5、I型In<sub>0.52</sub>Al<sub>0.48</sub>Asショットキー層6、N型In<sub>0.53</sub>Ga<sub>0.47</sub>Asキャップ層7が成長されている。さらにリセス領域のゲート電極10をはさんでソース電極8およびドレイン電極9が形成されている。I型InGaAsPチャンネル層3はエネルギーギャップE<sub>g</sub>が表面側から基板側に向けて0.9eVから1.1eVまで単調に増加するグラディッド構造である。

【効果】低電界ではInGaAsPチャンネル層の電子がエネルギーギャップが小さい領域を走り、高電界ではホットになった電子がエネルギーギャップの大きい領域を走る。2次元電子ガスの電子濃度が向上し、高電界駆動したときの衝突イオン化による耐圧の劣化を低減した。



## 【特許請求の範囲】

【請求項1】 半絶縁性InP基板の上に順次積層された、バッファ層、チャネル層およびN型電子供給層に形成された電界効果トランジスタにおいて、前記チャネル層が、 $\text{In}_{1-x}\text{Ga}_x\text{As}_y\text{P}_{1-y}$ 層からなり、その組成 $x, y$ が深さ方向に変化することを特徴とする電界効果トランジスタ。

【請求項2】 チャネル層である $\text{In}_{1-x}\text{Ga}_x\text{As}_y\text{P}_{1-y}$ 層のエネルギーギャップ $E_g$ が、深さ方向に対して単調に連続的に増加している請求項1記載の電界効果トランジスタ。

【請求項3】 チャネル層である $\text{In}_{1-x}\text{Ga}_x\text{As}_y\text{P}_{1-y}$ 層のエネルギーギャップ $E_g$ が、深さ方向に対して単調に階段状に増加している請求項1記載の電界効果トランジスタ。

【請求項4】 チャネル層である $\text{In}_{1-x}\text{Ga}_x\text{As}_y\text{P}_{1-y}$ 層のエネルギーギャップ $E_g$ が、前記チャネル層の所定の深さのところに最小値をもち上下方向に単調に連続的に増加している請求項1記載の電界効果トランジスタ。

【請求項5】 チャネル層である $\text{In}_{1-x}\text{Ga}_x\text{As}_y\text{P}_{1-y}$ 層のエネルギーギャップ $E_g$ が、前記チャネル層の所定の深さのところに最小値をもち上下方向に単調に階段状に増加している請求項1記載の電界効果トランジスタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はSi（シリコン）を材料とするFET（電界効果トランジスタ）では動作不可能なミリ波帯で良好な動作が可能な化合物半導体を材料とする電界効果トランジスタに関し、特にヘテロ接合に生じる2DEG（2次元電子ガス）をチャネルとする2DEG・FETに関するものである。

## 【0002】

【従来の技術】近年、InGaAsやInGaAsPなどの3元および4元混晶半導体が注目されている。その中でInP基板に格子整合するInGaAsは光デバイスだけでなく、各種FET（電界効果トランジスタ）材料として有望である。特に、InPやInAlAsとのヘテロ界面に生じる2次元電子ガスを用いたFETの研究が盛んになっている。

【0003】InGaAsがGaAsと比べて電子輸送デバイス用材料として有望視される理由は、①電子のドリフト速度におけるピーク値が大きい、②低電界における電子の移動度が大きい、③オーミック電極がとりやすくコンタクト抵抗が小さい（InGaAsと金属との間の障壁が低い）、④高電界中での電子速度のより大きなオーバーシュートが期待できる、⑤Γ谷とL谷との間の電子の遷移による拡散雑音が小さい、などを挙げることができる。

【0004】現在、このInGaAs/InAlAs界面の2次元電子ガスを用いたFETは高性能ミリ波素子として有望視され各方面で研究開発が行われている。特に低雑音素子としての有効性は実験レベルで確認されている。

【0005】例えばK. H. DuhらがIEEE MICROWAVE AND GUIDED WAVE LETTERS、VOL. 1、NO. 5、PP. 114-116、May、1991において報告しているように、室温下で、94GHzにおける雑音指数1.2dB、付随利得（associated gain）7.2dBが確認されている。これはInP基板上に格子整合する系、すなわちIn組成を $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ / $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ としてFETを試作している。このヘテロ接合では $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 層に2次元電子ガスが生じる。

【0006】さらに特性の向上を図るため、例えばG. I. NgらがIEEE ELECTRON DEVICE LETTERS、VOL. 10、NO. 3、PP. 114-116、June、1989において報告しているようにチャネル層であるInGaAs層のIn組成を0.53より大きくしてFET特性を向上させる方法がある。ただしGa組成が0.53以上のInGaAsをInP基板に接合させると格子不整合となるので、In組成によって単結晶成長が可能な膜厚が制約されて、InGaAsチャネル層の厚さが制限される。

【0007】また、InGaAsチャネル中にInAsの薄層を挿入することにより、閉じこめ効果の強い2次元電子ガスが生じるFETについて、T. Akazaki（赤崎）らがIEEE ELECTRON DEVICE LETTERS、VOL. 13、NO. 6、PP. 325-327、June、1992で報告している。

【0008】これらのIn系材料は高抵抗化が難しいのとショットキー接合におけるショットキーバリア高さ $\phi_b$ が低いことから印加電圧に対する耐圧がGaAs系に比べて低く、FETの動作電圧を上げられないという問題がある。

【0009】そこで耐圧を向上させるためチャネル層にエネルギーギャップの大きな材料を用いる方法がある。InPに格子整合する $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ のエネルギーギャップ $E_g$ は0.74eVである。一方、InPに格子整合するInGaAsPはその組成を変えることによりエネルギーギャップ $E_g$ を0.74eVから1.35eVまで変化させることができる。

【0010】W. P. HongらはInGaAsPをチャネル層とし、InAlAsを電子供給層としたHEMTを試作した結果について、IEEE ELECTRON DEVICE LETTERS、VOL. 12、NO. 10、PP. 559-561、Oct. 1991に

報告している。ここで用いられた  $\text{In}_{0.73}\text{Ga}_{0.27}\text{As}$  の  $\text{P}_{0.4}$  チャネル層のエネルギーギャップは  $0.95 \text{ eV}$  であり、 $\text{InP}$  に格子整合する  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  に比べて約  $0.2 \text{ eV}$  大きい。したがって高電界領域での衝突イオン化による耐圧の劣化が抑制されて  $5 \text{ V}$  以上のドレインソース耐圧と、 $15 \text{ V}$  以上のゲートドレイン耐圧が得られたと報告している。

【0011】W. P. Hongらは  $\text{InGaAsP}$  を電子の走行するチャネル層に用いているが、これに対して  $\text{InGaAsP}$  を電子供給層に用いたFETについて、佐々木らは特公平2-60223で述べている。従来から用いられている  $\text{InAlAs}$  の代わりに  $\text{InGaAsP}$  を電子供給層として、 $\text{InGaAs}$  チャネル層との間における伝導帯不連続量  $\Delta E$  を小さくすることができる。これを用いてエンハンスメント型のFETを試作している。

【0012】

【発明が解決しようとする課題】  $\text{InAlAs}/\text{InGaAs}$  系のヘテロ接合FETは耐圧が低く、動作バイアスを高くできないという問題がある。 $\text{InGaAsP}$  チャネル層は、従来の  $\text{InGaAs}$  チャネル層よりもエネルギーギャップが大きいので、衝突イオン化によるFETの耐圧劣化が抑制される。しかし  $\text{InGaAs}$  に比べ  $\text{InAlAs}$  電子供給層との伝導帯不連続値  $\Delta E$  が小さいので量子井戸の形成される2次元電子ガスのシート電子密度が小さくなり、十分なキャリア濃度が得られないという問題が新たに生じる。また、伝導帯不連続値  $\Delta E$  が小さいので2次元電子ガスの閉じ込め効果が従来に比べて弱い。その結果、 $\text{InAlAs}$  電子供給層側へキャリアが漏れてFETの相互コンダクタンスを劣化させる。

【0013】本発明の目的は  $\text{InGaAsP}$  チャネル層において2次元電子ガスキャリア密度の低下、2次元電子ガスキャリア閉じ込め効果の劣化を解消するとともに耐圧の向上を図ることにある。

【0014】

【課題を解決するための手段】本発明の電界効果トランジスタは半絶縁性  $\text{InP}$  基板の上に順次積層された、バッファ層、チャネル層およびN型電子供給層に形成された電界効果トランジスタにおいて、前記チャネル層が、 $\text{In}_{1-x}\text{Ga}_x\text{As}_y\text{P}_{1-y}$  層からなり、その組成  $x, y$  が深さ方向に変化しているものである。

【0015】

【作用】ノンドープ  $\text{In}_{1-x}\text{Ga}_x\text{As}_y\text{P}_{1-y}$  チャネル層のエネルギーギャップ  $E_g$  を深さ方向に単調増加させる。表面側のGa組成  $x$  およびAs組成  $y$  が大きいので、 $\text{InAlAs}$  電子供給層と  $\text{InGaAsP}$  チャネル層とのヘテロ接合界面の伝導帯不連続値  $\Delta E$  が大きい。したがって低電界動作時は2次元電子ガス中のキャリアが  $\Delta E$  の大きい表面に集中するので十分なシート

電子密度が得られる。

【0016】FETの動作領域が低電界動作から高電界動作に移行するにつれて2次元電子ガス中で加速されてホットになった電子は組成  $x, y$  が徐々に減少する基板側に移行する。また高電界中で問題となるキャリアの衝突イオン化はエネルギーギャップ  $E_g$  が大きいほどその生じる確率は小さくなる。その結果、エネルギーギャップ  $E_g$  が大きい基板側では、衝突イオン化に起因する耐圧劣化が抑制される。

【0017】  $\text{In}_{1-x}\text{Ga}_x\text{As}_y\text{P}_{1-y}$  のGa組成  $x$  およびAs組成  $y$  を次式をみたす値に設定することにより、 $\text{InP}$  基板と格子整合させることができる。

【0018】  $x = 0.453y \times (1 + 0.031y)$  エネルギーギャップ  $E_g$  はつぎの近似式で与えられる。

【0019】

$E_g = 1.35 - 0.72y + 0.12y^2 \quad (\text{eV})$   
 $\text{InP}$  に格子整合する  $\text{In}_{1-x}\text{Ga}_x\text{As}_y\text{P}_{1-y}$  は組成を変化させることにより、エネルギーギャップ  $E_g$  を  $0.75$  から  $1.35 \text{ eV}$  まで変化させることができる。 $\text{InP}$  基板に整合する  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  の  $0.75 \text{ eV}$  に比べて大幅にエネルギーギャップ  $E_g$  を大きくすることにより耐圧劣化を抑制することができる。

【0020】また、チャネル層中の2次元電子ガスの分布は均一ではない。チャネル層の電子供給層側および基板側の両界面近傍では必然的に電子の存在確率は低くなる。したがってこの付近のIn組成はあえて大きくしなくても2次元電子ガス濃度や電子の実効ドリフト速度に大きな影響を与えることはない。そこで  $\text{InGaAsP}$  チャネル層の表面側および基板側のIn組成に比べて、チャネル層の中間のIn組成を大きくする。すなわちエネルギーギャップ  $E_g$  の小さい組成にして、チャネル層の電子濃度の向上およびチャネルを走行する全電子の平均ドリフト速度を向上させることができる。こうして  $\text{InGaAsP}$  チャネル層の実効的なIn組成を大きくすると等価な効果が得られる。

【0021】

【実施例】本発明の第1の実施例について、図1(a)を参照して説明する。

【0022】半絶縁性  $\text{InP}$  基板1上にMOCVD (有機金属化学気相成長) 法などにより厚さ  $500 \text{ nm}$  のノンドープ (I型)  $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$  バッファ層2、厚さ  $50 \text{ nm}$  のノンドープ  $\text{In}_{1-x}\text{Ga}_x\text{As}_y\text{P}_{1-y}$  チャネル層3、厚さ  $3 \text{ nm}$  の  $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$  スペース層4、 $\text{Si}$  を  $2 \times 10^{18} \text{ cm}^{-3}$  ドープした厚さ  $30 \text{ nm}$  のN型  $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$  電子供給層5、厚さ  $20 \text{ nm}$  のノンドープ  $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$  ショットキー層6、 $\text{Si}$  を  $5 \times 10^{18} \text{ cm}^{-3}$  ドープした厚さ  $30 \text{ nm}$  のN型  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  キャップ層7が順次結晶成長されている。

【0023】硫酸および過酸化水素水の混合液を用いた

ウェットエッチングにより、素子間分離（図示せず）が行なわれている。Au-Ge/Ni（金-ゲルマニウム/ニッケル）蒸着およびアロイ熱処理熱処理により、N型InGaAsキャップ層7にオーミック接続するソース電極8およびドレイン電極9が形成されている。ソース電極8とドレイン電極9との間のN型InGaAsキャップ層7をウェットエッチングして形成されたリセス領域のノンドープInAlAsショットキー層6にショットキー接続するTi-Pt-Au（チタン-白金-金）からなるゲート電極10が形成されている。

【0024】本実施例においてノンドープ $In_{1-x}Ga_xAs_yP_{1-y}$ 層3はグレーディッド構造となっている。図1(b)に示すようにエネルギーギャップ $E_g$ が表面側から基板側に向って単調に増加するように組成 $x, y$ が設定されている。ここでは結晶欠陥を生じないようInP基板に格子整合する条件

$x=0.453y \times (1+0.031y)$ をみたすようにした。

【0025】例えばノンドープInGaAsPチャンネル層3の基板側のエネルギーギャップを1.1 eVとし、表面側のエネルギーギャップ $E_g$ を0.9 eVとして、この間のエネルギーギャップ $E_g$ が単調に変化するように組成 $x, y$ を変調した。このとき基板側の組成は $In_{0.83}Ga_{0.17}As_{0.38}P_{0.62}$ 、表面側の組成は $In_{0.67}Ga_{0.33}As_{0.71}P_{0.29}$ に設定することにより所望のエネルギーギャップが得られる。

【0026】ノンドープInGaAsPチャンネル層3の量子井戸に生じる2次元電子ガスの分布は、伝導帯エネルギーの低いN型電子供給層5に近い表面側に重心をもつ。低電界動作では電子がP組成の小さい表面側を走行する。しかし高電界動作ではホットになった電子は高電界で電子移動度が大きくP組成の大きいノンドープInAlAsバッファ層2に近い基板側に分布中心を移動する。したがって低電界と高電界とでは電子の分布中心を変化させることにより共に高速動作を保證することができる。

【0027】つぎに本発明の第2の実施例について、図2(a)および(b)を参照して説明する。

【0028】本実施例のチャンネル層は組成とともにエネルギーギャップ $E_g$ が2段階（階段状）に変化しており、基板側にはエネルギーギャップ $E_g$ が1.1 eVとなる厚さ25 nmのノンドープ $In_{1-x_1}Ga_{x_1}As_{y_1}P_{1-y_1}$ 層3aが形成され、表面側にはエネルギーギャップ $E_g$ が0.9 eVとなる厚さ25 nmのノンドープ $In_{1-x_2}Ga_{x_2}As_{y_2}P_{1-y_2}$ 層3bが形成されている。

【0029】ここではエネルギーギャップ $E_g=1.1$  eVを得るため、基板側の組成を $In_{0.83}Ga_{0.17}As_{0.38}P_{0.62}$ とし、エネルギーギャップ $E_g=0.9$  eVを得るため、表面側の組成を $In_{0.67}Ga_{0.33}As_{0.71}P_{0.29}$ とした。そのほかは第1の実施例と同一である。

【0030】第1の実施例と同様に表面側よりも基板側の方がエネルギーギャップ $E_g$ が大きくなっている。

【0031】本実施例では表面側から基板側に向ってエネルギーギャップ $E_g$ が2段階に増加しているが、その代りに3段階以上に増加している3層以上からなるチャンネル層を形成しても同様の効果を得ることができる。

【0032】つぎに本発明の第3の実施例について、図3(a)および(b)を参照して説明する。

【0033】厚さ50 nmのノンドープ $In_{1-x}Ga_xAs_yP_{1-y}$ チャンネル層3はグレーディッド構造となっている。エネルギーギャップ $E_g$ は表面側から5 nmの深さのところに最小値をもち、基板側および表面側に向って単調に増加するように組成 $x$ および $y$ が設定されている。InGaAsPチャンネル層3の基板側および表面側のエネルギーギャップ $E_g$ は1.1 eVであり、中間の最小値が0.9 eVに設定されている。エネルギーギャップ $E_g=1.1$  eVは $In_{0.83}Ga_{0.17}As_{0.38}P_{0.62}$ によって、エネルギーギャップ $E_g=0.9$  eVは $In_{0.67}Ga_{0.33}As_{0.71}P_{0.29}$ によって得られる。電子の分布中心はエネルギーギャップ $E_g$ の小さいノンドープInGaAsPチャンネル層3の中間にできる。

【0034】本実施例ではミスフィット転移が生じない範囲でIn組成が極端に大きい歪超格子層を格子整合InGaAsP層で挟んで良好な量子井戸を形成することができる。他の目的でIn以外の組成を大きくした歪格子を導入することもできる。低電界動作では電子がチャンネル層中間の実効In組成の高い領域を走行する。高電界動作では第1の実施例と同様にホットになった電子は高電界で電子移動度が大きいノンドープInAlAsバッファ層2に近い基板側に分布中心を移動する。

【0035】つぎに本発明の第4の実施例について、図4(a)および(b)を参照して説明する。

【0036】本実施例ではInGaAsPチャンネル層が3層からなり、その組成が2段階（階段状）に変化している。InGaAsPチャンネル層は基板側3aおよび表面側3cでエネルギーギャップ $E_g$ が1.1 eVになり、その中間3bでエネルギーギャップ $E_g$ が0.9 eVになるようにその組成が設定されている。それぞれのチャンネル層3a, 3b, 3cの厚さは15 nm、12 nm、3 nmとした。そのほかは第1の実施例と同様である。

【0037】本実施例ではInGaAsPチャンネル層を3層としたが、InGaAsPチャンネル層を4層以上に組成を変調しても同様の効果を得ることができる。

【0038】さらにノンドープInGaAsPチャンネル層の組成 $x, y$ はInP基板に格子整合する値でなくても良い。チャンネル層が歪層としてミスフィット転位が発生しない臨界膜厚以下の範囲で、組成 $x, y$ の値を設定することができる。

【0039】またバッファ層、チャンネル層、電子供給

層、ショットキー層やキャップ層の組成元素、ドーパント濃度や厚さは必要に応じて変更することができる。さらにノンドープInGaAsPチャンネル層の上にノンドープInAlAsスペーサ層を形成したり、N型InAlAs電子供給層にSiをプレーナドーピングしたり、ノンドープInAlAsバッファ層の上にもう1つの電子供給層を形成することもできる。通常ノンドープとするInGaAsPチャンネル層も、ドーピングして高出力化を図ることができる。ソース・ドレイン電極やゲート電極にAu-Ge/NiやTi/Pt/Au以外の金属材料を用いることもできる。

#### 【0040】

【発明の効果】深さ方向にエネルギーギャップ $E_g$ の変化するInGaAsPチャンネル層を用いた。InGaAsPチャンネル層中の電子は低電界ではエネルギーギャップ $E_g$ の小さい領域を走り、高電界ではホットになった電子がエネルギーギャップ $E_g$ の大きい領域を走る。

【0041】 $In_{1-x}Ga_xAs_yP_{1-y}$ チャンネル層の組成 $x, y$ を設定することにより、エネルギーギャップ $E_g$ を0.75 eVから1.35 eVまで変化させることができる。

【0042】一様なInGaAsチャンネル層と比べて耐圧を改善することができる。またチャンネル層に4元混晶を用いるので、組成変調しても格子整合したまま膜厚の制限なく結晶成長させることができる。

【0043】その結果、ヘテロ接合2DEG-FETにおいてチャンネル層の電子濃度が向上した。また、InGaAsチャンネル層を用いた従来のFETにおいて問題となっていた、高電界駆動時における衝突イオン化による耐圧の劣化が、本発明のFETでは大幅に改善されて耐圧が向上した。さらにチャンネル層を走行する電子の実効ドリフト速度が向上した。高周波特性が向上して、遮断周波数、雑音指数、電力利得などを向上させることがで

きた。

#### 【図面の簡単な説明】

【図1】(a)は本発明の第1の実施例を示す断面図である。(b)は(a)のInGaAsチャンネル層の深さ方向のエネルギーギャップ $E_g$ を示すグラフである。

【図2】(a)は本発明の第2の実施例を示す断面図である。(b)は(a)のInGaAsチャンネル層の深さ方向のエネルギーギャップ $E_g$ を示すグラフである。

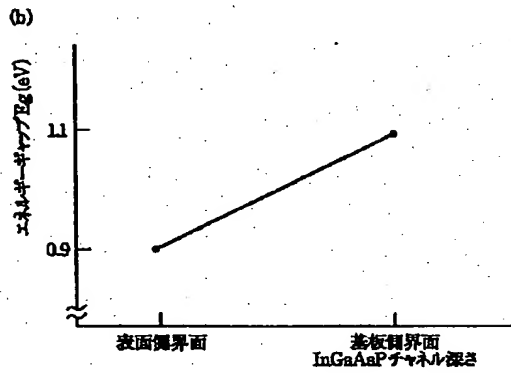
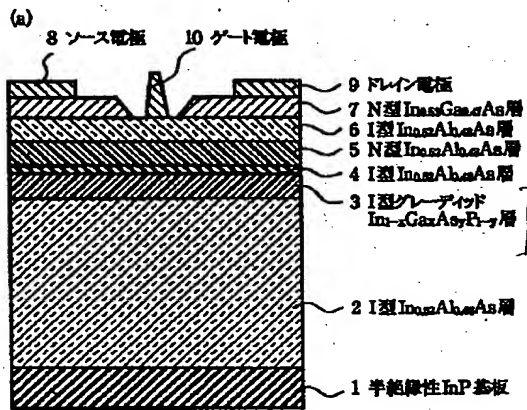
【図3】(a)は本発明の第3の実施例を示す断面図である。(b)は(a)のInGaAsチャンネル層の深さ方向のエネルギーギャップ $E_g$ を示すグラフである。

【図4】(a)は本発明の第4の実施例を示す断面図である。(b)は(a)のInGaAsチャンネル層の深さ方向のエネルギーギャップ $E_g$ を示すグラフである。

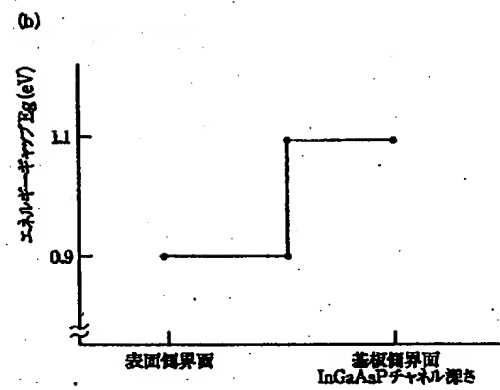
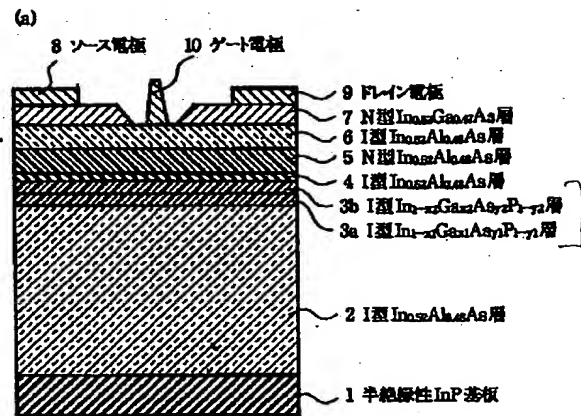
#### 【符号の説明】

- 1 半絶縁性InP基板
- 2 ノンドープ $In_{0.52}Al_{0.48}As$ バッファ層
- 3 ノンドープ $In_{1-x}Ga_xAs_yP_{1-y}$ チャンネル層
- 3a ノンドープ $In_{1-x_1}Ga_{x_1}As_{y_1}P_{1-y_1}$ チャンネル層
- 3b ノンドープ $In_{1-x_2}Ga_{x_2}As_{y_2}P_{1-y_2}$ チャンネル層
- 3c ノンドープ $In_{1-x_3}Ga_{x_3}As_{y_3}P_{1-y_3}$ チャンネル層
- 4 ノンドープ $In_{0.52}Al_{0.48}As$ スペーサ層
- 5 SiドーピングN型 $In_{0.52}Al_{0.48}As$ 電子供給層
- 6 ノンドープ $In_{0.52}Al_{0.47}As$ ショットキー層
- 7 SiドーピングN型 $In_{0.53}Ga_{0.47}As$ キャップ層
- 8 ソース電極
- 9 ドレイン電極
- 10 ゲート電極

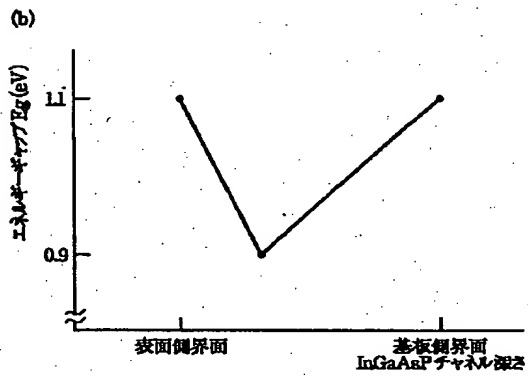
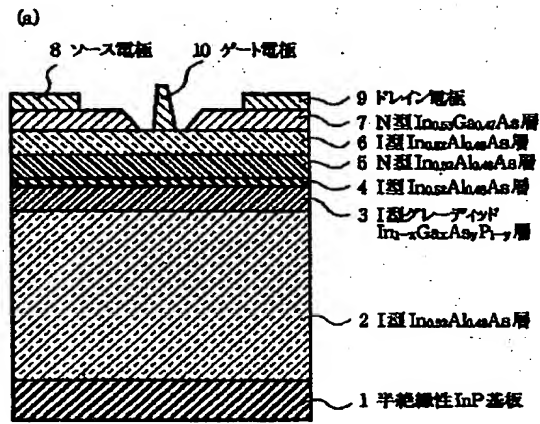
【図1】



【図2】



【図3】



【図4】

